

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-298191

(43)Date of publication of application : 26.10.2001

(51)Int.Cl.

H01L 29/78

(21)Application number : 2001-033408

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 09.02.2001

(72)Inventor : IWAMOTO SUSUMU  
FUJIIHARA TATSUHIKO  
UENO KATSUNORI  
ONISHI YASUHIKO  
SATO TAKAHIRO  
NAGAOKA TATSUJI

(30)Priority

Priority number : 2000032160

Priority date : 09.02.2000

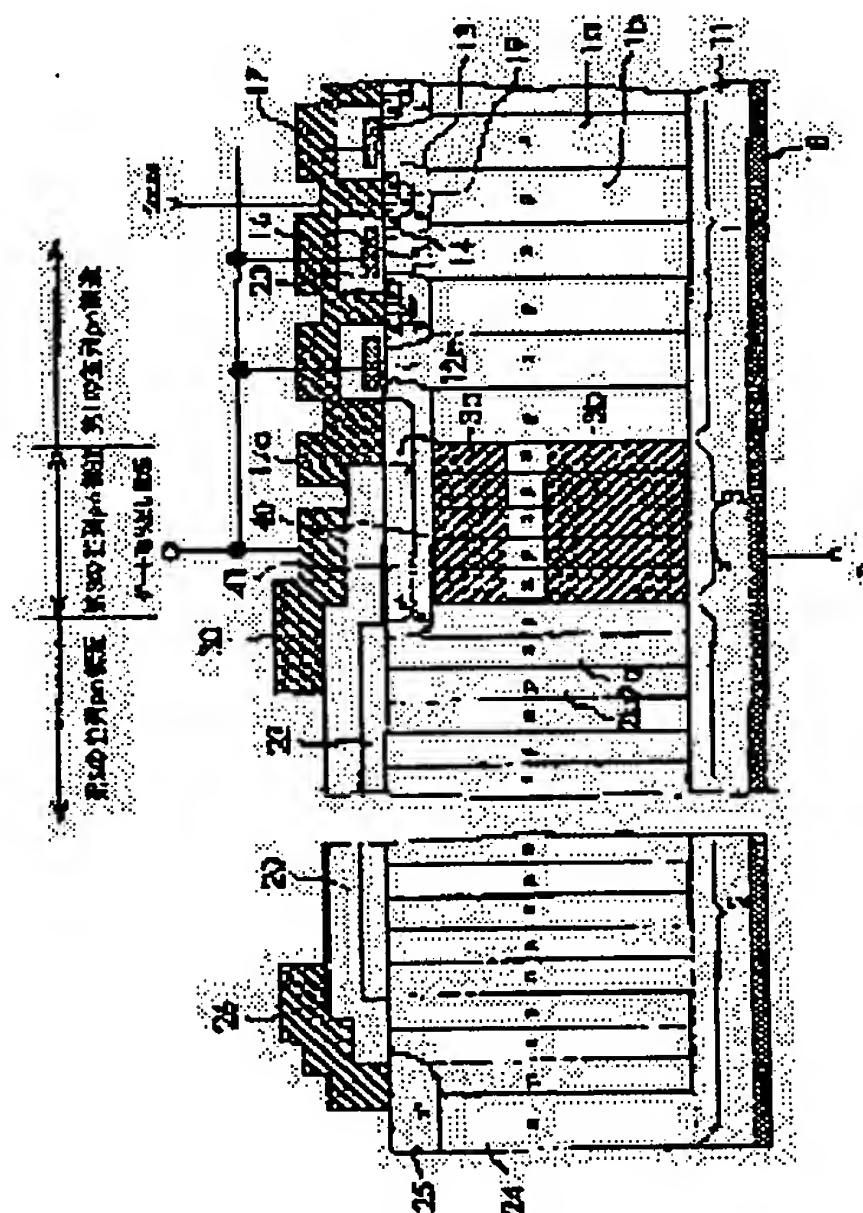
Priority country : JP

## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device wherein the breakdown strength at an element peripheral part is higher than that at a drift part while avalanche resistance amount is improved without a guard ring or field plate.

SOLUTION: Related to a vertical MOSFET, a breakdown-strength structure part (element peripheral part) 2 has a second parallel pn structure where a vertical n-type region 2a and a vertical p-type region 2b are alternately jointed repeatedly. The structure 2 is present between a surface and a drain layer 11 around a vertical drift part 1 of first parallel pn structure, and is almost non-electric path region in an on-state and is depleted in an off-state. A third parallel pn structure is provided at a directly-below part 3 of a gate taking-out electrode.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-298191

(P2001-298191A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 29/78

識別記号

6 5 2

F I

H 0 1 L 29/78

テ-マ-ト\* (参考)

6 5 2 H

6 5 2 F

6 5 2 N

6 5 5 B

6 5 5

審査請求 未請求 請求項の数23 O L (全 16 頁)

(21) 出願番号 特願2001-33408 (P2001-33408)

(22) 出願日 平成13年2月9日 (2001. 2. 9)

(31) 優先権主張番号 特願2000-32160 (P2000-32160)

(32) 優先日 平成12年2月9日 (2000. 2. 9)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 岩本 進

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100089945

弁理士 山田 稔

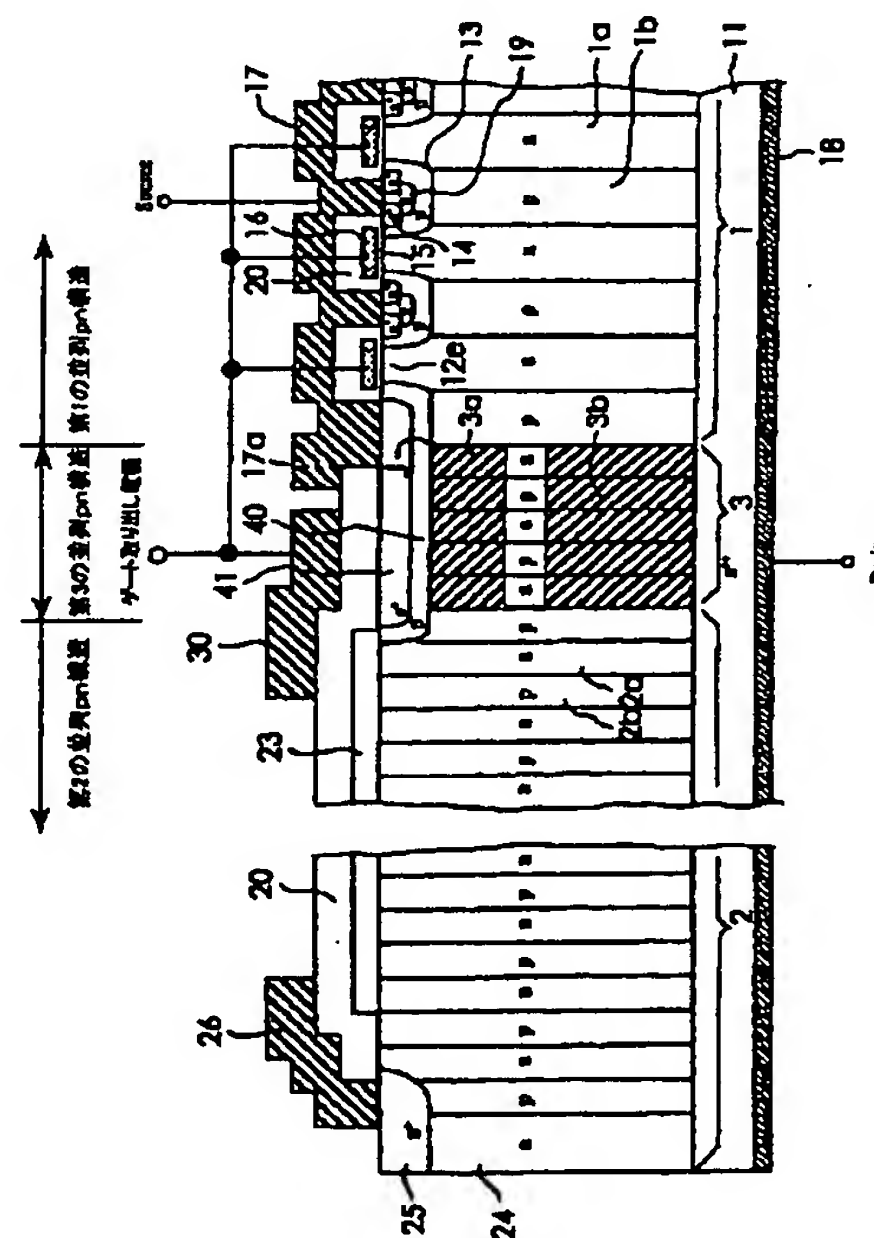
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ガードリングやフィールドプレートを形成せずとも、ドリフト部の耐圧よりもその素子外周部の耐圧を大きくできると共に、アバランシェ耐量を向上できる半導体装置の提供。

【解決手段】 縦形MOSFETにおいて、第1の並列pn構造の縦形ドリフト部1の周りで表面とド레인層11との間に介在し、オン状態では概ね非電路領域であってオフ状態では空乏化する耐圧構造部(素子外周部)2が、縦形n型領域2aと縦形p型領域2bとを交互に繰り返して接合して成る第2の並列pn構造を備えている。また、ゲート取り出し電極の直下部分3には、第3の並列pn構造を備えている。



1

## 【特許請求の範囲】

【請求項1】 基板の第1主面側に形成された活性部に導電接続する第1の電極層と、前記基板の第2主面側に形成された第1導電型の低抵抗層に導電接続する第2の電極層と、前記活性部と前記低抵抗層との間に介在し、オン状態ではドリフト電流を縦方向に流すと共にオフ状態では空乏化する縦形ドリフト部と、前記第1主面に絶縁膜を介して形成され、前記第1電極層に少なくとも一部が近接して成るオン・オフ制御用の第3電極層とを有し、前記縦形ドリフト部が前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る第1の並列pn構造となった半導体装置において、前記縦形ドリフト部の周りで前記第1主面と前記低抵抗層との間に介在し、オン状態では概ね非電路領域であってオフ状態では空乏化する耐压構造部が、前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る第2の並列pn構造であり、前記第3電極層の直下部分が、前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る第3の並列pn構造であり、前記第3の並列pn構造のpn繰り返しピッチが前記第1の並列pn構造のpn繰り返しピッチよりも狭いことを特徴する半導体装置。

【請求項2】 請求項1において、前記第3の並列pn構造の不純物濃度は前記第1の並列pn構造の不純物濃度よりも低いことを特徴とする半導体装置。

【請求項3】 基板の第1主面側に形成された活性部に導電接続する第1の電極層と、前記基板の第2主面側に形成された第1導電型の低抵抗層に導電接続する第2の電極層と、前記活性部と前記低抵抗層との間に介在し、オン状態ではドリフト電流を縦方向に流すと共にオフ状態では空乏化する縦形ドリフト部と、前記第1主面に絶縁膜を介して形成され、前記第1電極層に少なくとも一部が囲まれて成るオン・オフ制御用の第3電極層とを有し、前記縦形ドリフト部が前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る第1の並列pn構造となった半導体装置において、前記縦形ドリフト部の周りで前記第1主面と前記低抵抗層との間に介在し、オン状態では概ね非電路領域であってオフ状態では空乏化する耐压構造部が、前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る第2の並列pn構造であり、前記第3電極層の直下部分が、前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して

2

成る第3の並列pn構造であり、前記第3の並列pn構造の不純物濃度が前記第1の並列pn構造の不純物濃度よりも低いことを特徴する半導体装置。

【請求項4】 請求項1乃至請求項3のいずれか一項において、前記第2の並列pn構造のpn繰り返しピッチは前記第1の並列pn構造のpn繰り返しピッチよりも狭いことを特徴する半導体装置。

【請求項5】 請求項1乃至請求項4のいずれか一項において、前記第2の並列pn構造の不純物濃度は前記第1の並列pn構造の不純物濃度よりも低いことを特徴とする半導体装置。

【請求項6】 請求項1乃至請求項5のいずれか一項において、前記第3の並列pn構造の第1主面側が前記第1電極層に導電接続する第2導電型ウェル領域で覆われて成ることを特徴する半導体装置。

【請求項7】 請求項6において、前記第3の並列pn構造の第1主面側は前記第2導電型領域のウェル両端部を除くウェル底に接続していることを特徴する半導体装置。

【請求項8】 請求項1乃至請求項7のいずれか一項において、前記第1の並列pn構造と前記第2の並列pn構造とは層面が相平行して配置されていることを特徴とする半導体装置。

【請求項9】 請求項1乃至請求項7のいずれか一項において、前記第1の並列pn構造と前記第2の並列pn構造とは層面が相直交して配置されていることを特徴とする半導体装置。

【請求項10】 請求項1乃至請求項7のいずれか一項において、前記第1の並列pn構造と前記第3の並列pn構造とは層面が相平行して配置されていることを特徴とする半導体装置。

【請求項11】 請求項1乃至請求項7のいずれか一項において、前記第1の並列pn構造と前記第3の並列pn構造とは層面が相直交して配置されていることを特徴とする半導体装置。

【請求項12】 請求項1乃至請求項11のいずれか一項において、前記第1、第2及び第3の並列pn構造を構成する縦形第1導電型領域と縦形第2導電型領域とは、平面的にストライプ状であることを特徴とする半導体装置。

【請求項13】 基板の第1主面側に形成された活性部に導電接続する第1の電極層と、前記基板の第2主面側に形成された第1導電型の低抵抗層に導電接続する第2の電極層と、前記活性部と前記低抵抗層との間に介在し、オン状態ではドリフト電流を縦方向に流すと共にオフ状態では空乏化する縦形ドリフト部とを有し、前記縦形ドリフト部が前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型とを交互に繰り返して接合して成る第1の並列pn構造となった半導体装置において、



3

前記縦形ドリフト部の周りで前記第1主面と前記低抵抗層との間に介在し、オン状態では概ね非電路領域であってオフ状態では空乏化する耐圧構造部が、前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る第2の並列pn構造であり、

前記第1の並列pn構造又は前記第2の並列pn構造のうち、少なくとも前記第1の電極層の周縁部の直下部分における並列pn構造のpn繰り返しピッチが前記第1の並列pn構造のpn繰り返しピッチよりも狭くなっていることを特徴する半導体装置。

【請求項14】 請求項13において、前記直下部分における並列pn構造の不純物濃度は前記第1の並列pn構造の不純物濃度よりも低いことを特徴とする半導体装置。

【請求項15】 基板の第1主面側に形成された活性部に導電接続する第1の電極層と、前記基板の第2主面側に形成された第1導電型の低抵抗層に導電接続する第2の電極層と、前記活性部と前記低抵抗層との間に介在し、オン状態ではドリフト電流を縦方向に流すと共にオフ状態では空乏化する縦形ドリフト部とを有し、前記縦形ドリフト部が前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型とを交互に繰り返して接合して成る第1の並列pn構造となった半導体装置において、前記縦形ドリフト部の周りで前記第1主面と前記低抵抗層との間に介在し、オン状態では概ね非電路領域であってオフ状態では空乏化する耐圧構造部が、前記基板の厚み方向に配向する縦形第1導電型領域と前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る第2の並列pn構造であり、前記第1の並列pn構造又は前記第2の並列pn構造のうち、少なくとも前記第1の電極層の周縁部の直下部分における並列pn構造の不純物濃度が前記第1の並列pn構造の不純物濃度よりも低いことを特徴とする半導体装置。

【請求項16】 請求項13乃至請求項15のいずれか一項において、前記第2の並列pn構造のpn繰り返しピッチは前記第1の並列pn構造のpn繰り返しピッチよりも狭いことを特徴する半導体装置。

【請求項17】 請求項13乃至請求項16のいずれか一項において、前記第2の並列pn構造の不純物濃度は前記第1の並列pn構造の不純物濃度よりも低いことを特徴とする半導体装置。

【請求項18】 請求項13乃至請求項17のいずれか一項において、前記直下部分の並列pn構造の第1主面側が前記第1電極層に導電接続する第2導電型ウェル領域で覆われて成ることを特徴する半導体装置。

【請求項19】 請求項18において、前記第1の並列pn構造のうち前記直下部分の並列pn構造に隣接する

4

最端の縦形第2導電型領域は、前記第2導電型ウェル領域のウェル端部に接続していることを特徴する半導体装置。

【請求項20】 請求項13乃至請求項19のいずれか一項において、前記第1の電極層の周縁部はフィールドプレートであることを特徴する半導体装置。

【請求項21】 請求項13乃至請求項20のいずれか一項において、前記第1の並列pn構造と前記第2の並列pn構造とは層面が相平行して配置されていることを特徴とする半導体装置。

【請求項22】 請求項13乃至請求項20のいずれか一項において、前記第1の並列pn構造と前記第2の並列pn構造とは層面が相直交して配置されていることを特徴とする半導体装置。

【請求項23】 請求項13乃至請求項22のいずれか一項において、前記第1及び第2の並列pn構造を構成する縦形第1導電型領域と縦形第2導電型領域とは、平面的にストライプ状であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（伝導度変調型MOSFET）、バイポーラトランジスタ等の能動素子やダイオード等の受動素子に適用可能で高耐圧化と大電流容量化が両立する縦形パワー半導体装置に関する。

【0002】一般に半導体装置は、基板の片面のみに電極部を持つ横形素子と、基板の両面に電極部を持つ縦形素子とに大別できる。縦形素子は、オン時にドリフト電流が流れる方向と、オフ時に逆バイアス電圧による空乏層が延びる方向とが共に基板の厚み方向（縦方向）である。例えば、図13は通常のプレーナ型のnチャネル縦形MOSFETの断面図である。この縦形MOSFETは、裏側のドレイン電極18が導電接触した低抵抗のn+ドレイン層11の上に形成された高抵抗のn-ドレイン・ドリフト層12と、このドリフト層12の表面層に選択的に形成されたチャネル拡散層としてのpベース領域（pウェル）13と、そのpベース領域13内の表面側に選択的に形成された高不純物濃度のn+ソース領域14及びオーミックコンタクトを確保するための高不純物濃度のp+コンタクト領域19と、pベース領域13のうちn+ソース領域14とドリフト層12とに挟まれた表面上にゲート絶縁膜15を介して設けられたポリシリコン等のゲート電極層16と、n+ソース領域14及びp+コンタクト領域19の双方表面に導電接触するソース電極層17とを有している。

【0003】このような縦形素子において、高抵抗のn-ドレイン・ドリフト層12の部分は、MOSFETがオン状態のときは縦方向にドリフト電流を流す領域とし

5

て働き、オフ状態のときはpベース領域13とのpn接合から空乏層が深さ方向へ拡張して空乏化し耐圧を高める働きをする。この高抵抗のn-ドレイン・ドリフト層12の厚さ（電流経路長）を薄くすることは、オン状態ではドリフト抵抗が低くなるのでMOSFETの実質的なオン抵抗（ドレイン-ソース抵抗）を下げる効果に繋がるものの、オフ状態ではpベース領域13とn-ドレイン・ドリフト層12との間のpn接合から拡張するドレイン-ベース間空乏層の拡張幅が狭くなるため、空乏電界強度がシリコンの最大（臨界）電界強度に速く達するので、ドレイン-ソース電圧が素子耐圧の設計値に達する前に、ブレイクダウンが生じ、耐圧（ドレイン-ソース電圧）が低下してしまう。逆に、n-ドレイン・ドリフト層12を厚く形成すると、高耐圧化を図ることができるが、必然的にオン抵抗が大きくなり、オン損失が増す。即ち、オン抵抗（電流容量）と耐圧との間にはトレードオフ関係がある。この関係は、ドリフト層を持つIGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。

【0004】この問題に対する解決法として、縦形ドリフト部として不純物濃度を高めたn型の領域とp型の領域とを交互に繰り返して多重接合した並列pn構造である半導体装置が、EP0053854、USP5216275、USP5438215、特開平9-266311、特開平10-223896などにおいて知られている。

【0005】図14は、USP5216275に開示された縦形MOSFETの一例を示す断面図である。図13の半導体装置との構造上の違いは、ドレイン・ドリフト部22が一様・単一のn-導電型層（不純物拡散層）ではなく、縦形層状のn型のドリフト電路領域22aと縦形層状のp型の仕切領域22bとを交互に繰り返して多重接合した並列pn構造となっているところである。pベース領域13のウェル底にp型の仕切領域22bが接続し、相隣接するpベース領域13、13のウェル端部の間にn型のドリフト電路領域22aが接続している。ドレイン・ドリフト部22の並列pn構造の不純物濃度が高くても、オフ状態では並列pn構造の縦方向に配向する各pn接合から空乏層がその横方向双方に拡張し、ドリフト部22全体が早期に空乏化するため、高耐圧化を図ることができる。なお、このような並列pn構造のドレイン部22を備える半導体素子を、以下に超接合半導体素子と称することとする。

【0006】

【発明が解決しようとする課題】① 上記のような超接合半導体素子にあっては、表層部分に形成された複数のpベース領域13（素子活性領域）の真下にある並列pn構造のドレイン・ドリフト部22では耐圧確保が図れるものの、ドレイン・ドリフト部22の周りの耐圧構造

6

部では最外のpベース領域13のpn接合からの空乏層が外方向や基板深部へは拡がり難く、空乏電界強度がシリコンの臨界電界強度に速く達するので、耐圧構造部で耐圧が低下してしまう。

【0007】ここに、最外のpベース領域13の耐圧構造部における耐圧も確保するために、耐圧構造部の表面側に公知の空乏電界制御手段としてのガードリングを形成することや、絶縁膜上に公知のフィールドプレートを適用することが考えられる。ところが、並列pn構造のドリフト部22の形成によって従前に比しドリフト部22では高耐圧化が期待できるのに、その耐圧構造部の耐圧確保のために従前通りのガードリングやフィールドプレートを併せて空乏電界強度の修正を外的付加により最適構造に設計するのはますます困難が伴い、半導体素子毎の信頼性が乏しく、またガードリングから離れた深部では空乏化せず電界強度の制御が不能であるため、ドリフト部22での高耐圧化に追い付かず、全体として素子のバランスの良い高耐圧化が難しくなり、超接合半導体素子の機能を十分に引き出すことができない。また、その構造を実現するためのマスク形成、不純物導入及び拡散、あるいは金属被着及びそのパターニングというような追加工程が必要である。

【0008】② 他方、パワー半導体装置においては、チャンネル幅を長くして電流容量を高めるために、pベース領域13及びゲート電極層16は平面的に環状又はストライプ状のセルとして長く引き延ばされており、配線抵抗を下げるために、ソース電極層17はセル毎のpベース領域13上の接続孔又は接続溝を介してn+ソース領域14及びp+コンタクト領域19に接続し、各ゲート電極層16を層間絶縁膜を介して覆う平面的連続層として形成されている。その平面的連続層の周囲端部は一般に電界集中を緩和するためのフィールドプレートとしてドリフト部22よりも外側へ張り出ている（図示せず）。また、各セル毎のゲート電極層16はゲート取り出し電極（ボンディングパッド）に接続し、このゲート取り出し電極はソース電極層17である平面的連続層の一辺途中部、コーナー部又は央部を欠損した部分の絶縁膜上に位置し、少なくとも一部がソース電極層17のフィールドプレート部分に近接又は囲まれている（図示せず）。

【0009】ドリフト部22が並列pn構造となった超接合半導体素子では、遮断瞬時にキャリアの残留する状態で逆バイアス電圧が生じた際に起こるダイナミック・アバランシェ・ブレイクダウン（動的なだれ降伏）は、ドリフト部22では低逆バイアス電圧（50V程度）でも空乏層が急速に拡張するため、比較的が発生し難く、ダイナミック・アバランシェ・ブレイクダウンがドリフト部22の主面側のいずれの部位で万一発生しても、セル毎の分散的配置のソース電極層17のコンタクト部がその発生部位に必ず近接しているため、発生した過剰な



7

・ホールはそのコンタクト部を介してソース電源に速やかに引き抜かれる。

・【0010】しかしながら、ゲート取り出し電極の直下部分やソース電極層17のフィールドプレートの直下部分ではドリフト部から外れた位置にあって局部的にn型領域となっているため、遮断瞬時には空乏層の拡張がドリフト部よりも遅れ、キャリアが残留し易く、ダイナミック・アバランシェ・ブレイクダウンを発生し易い。その上、ダイナミック・アバランシェ・ブレイクダウンがゲート取り出し電極の直下部分やソース電極層17のフ

10

ィールドプレートの直下部分で発生した場合、発生した過剰なホールはゲート取り出し電極と絶縁膜との界面に一旦蓄積した後、ソース電極層17のうちゲート取り出し電極を囲むフィールドプレート部分に向けて一斉放電するため、発熱等により素子破壊を招くので、ゲート取り出し電極層の直下部分では、どうしてもドリフト部よりもダイナミック・アバランシェ・ブレイクダウン耐量が低くなるか、耐圧不安定性を招く。

【0011】そこで、上記問題点に鑑み、本発明の第1の課題は、基板表面にガードリングやフィールドプレートを形成せずとも、ドリフト部の耐圧よりもその外周部の耐圧を大きくできる半導体装置を提供することにある。

20

【0012】また、本発明の第2の課題は、ゲート取り出し電極層等のオン・オフ制御用の電極層の直下部分やフィールドプレートの直下部分でのダイナミック・アバランシェ・ブレイクダウンを抑制し、安定した耐圧の確保が可能であると共に、高いダイナミック・アバランシェ・ブレイクダウン耐量を得ることが可能な半導体装置を提供することにある。

【0013】

【課題を解決するための手段】本発明は以下の手段を講じたものである。まず、本発明に係る半導体装置は、基板の第1主面側に形成された活性部に導電接続する第1の電極層と、基板の第2主面側に形成された第1導電型の低抵抗層に導電接続する第2の電極層と、活性部と低抵抗層との間に介在し、オン状態ではドリフト電流を縦方向に流すと共にオフ状態では空乏化する縦形ドリフト部と、第1主面に絶縁膜を介して形成され、第1電極層に少なくとも一部が近接して成るオン・オフ制御用の第3電極層とを有するものであるが、超接合半導体素子として、縦形ドリフト部が基板の厚み方向に配向する縦形第1導電型領域と基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る第1の並列pn構造となっている。本発明の第1の手段は、いわば3端子又はそれ以上の端子を持つ縦形能動半導体装置に適用できるものである。ここで、例えばMOSFETの場合、nチャネル型の場合、活性部としては、ソース領域やチャネル拡散領域層などを含み、第1の電極層はソース電極層、第2の電極層はドレイン電極層、外部接続用

50

8

電極層としてゲート取り出し電極である。バイポーラトランジスタの場合、第2の電極層はエミッタ又はコレクタで、オン・オフ制御用の第3電極層である。

【0014】第1に、上記第1の課題を解決するため、本発明は、縦形ドリフト部の周りで第1主面と低抵抗層との間に介在し、オン状態では概ね非電路領域であってオフ状態では空乏化する耐圧構造部が、基板の厚み方向に配向する縦形第1導電型領域と基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る第2の並列pn構造であることを特徴とする。

【0015】ドリフト部の周りの耐圧構造部に第2の並列pn構造が配置されているため、オフ状態では、多重のpn接合面から空乏層が双方に拡張し、ドリフト部に限らず、そこから外方向や第2主面方向の深部まで空乏化するので、耐圧が大きくなる。また、第1主面側の活性部からドリフト部を介して第2主面側の第1導電型の低抵抗層に到達する直線状の電気力線の長さに比し、活性部の側部から耐圧構造部を介して第1導電型の低抵抗層にする曲線状の電気力線の方が長い分だけ、耐圧構造部の第2の並列pn構造とドリフト部が同一不純物濃度でも、耐圧構造部の第2の並列pn構造の空乏電界強度の方がドリフト部よりも低くなることから、耐圧構造部の耐圧はドリフト部の耐圧よりも大きい。従って、ドリフト部に第1の並列pn構造を採用した超接合半導体素子であっても、その周りの耐圧構造部の耐圧が十分に保証されることになるため、ドリフト部の並列pn構造の最適化が容易で、超接合半導体素子の設計自由度が高まり、超接合半導体素子を実用化できる。

30

【0016】第2に、上記第2の課題を解決するため、本発明は、オン・オフ制御用の第3電極層の直下部分が、基板の厚み方向に配向する縦形第1導電型領域と基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る第3の並列pn構造であり、第3の並列pn構造のpn繰り返しピッチが第1の並列pn構造のpn繰り返しピッチよりも狭いことを特徴とする。オン・オフ制御用の第3電極層には第1の電極層の端部が近接している場合は、「第3電極層の直下部分」とは、第1の電極層の端部の直下部分も含むものである。

40

【0017】オン・オフ制御用の第3電極層は第1の電極層の一辺途中部、コーナー部又は尖部を欠損した部分の絶縁膜上に位置し、少なくとも一部が第1の電極層に近接しているものであるが、第3電極層の直下部分も並列pn構造であって、そのpn繰り返しピッチがドリフト部のpn繰り返しピッチよりも狭くなっているため、第3電極層の直下部分ではドリフト部に比し単位面積当たりの空乏層が拡がり易く、素子耐圧が第3電極層の直下部分で決定されることはない。また、遮断瞬時には第3電極層の直下部分での空乏層の拡張がドリフト部よりも早まり、電界強度を緩和でき、キャリアがドリフト部

9

側へ締め出されるため、第3電極層の直下部分ではダイナミック・アバランシェ・ブレイクダウンが発生し難くなる。従って、ダイナミック・アバランシェ・ブレイクダウンはドリフト部で発生し、第3電極層の直下部分でのダイナミック・アバランシェ・ブレイクダウンを抑制でき、安定した耐圧の確保が可能であると共に、高いダイナミック・アバランシェ・ブレイクダウン耐量を得ることができる。

【0018】ここで、第3電極層の直下部分の第3の並列pn構造の不純物濃度が第1の並列pn構造の不純物濃度よりも低い場合には、空乏層の拡張が一層広がるため、なおさらダイナミック・アバランシェ・ブレイクダウンが発生し難くなる。勿論、耐圧構造部の第3の並列pn構造のpn繰り返しピッチがドリフト部の第1の並列pn構造のpn繰り返しピッチよりも同等又は広い場合でも、相対的に第3の並列pn構造の不純物濃度を第1の並列pn構造の不純物濃度よりも低く設定することによっても、ダイナミック・アバランシェ・ブレイクダウンが発生し難くなる。

【0019】第2の並列pn構造のpn繰り返しピッチは第1の並列pn構造のpn繰り返しピッチよりも狭くすることが望ましく、また、第2の並列pn構造の不純物濃度は第1の並列pn構造の不純物濃度よりも低くすることが望ましい。これは、耐圧がドリフト部の第1の並列pn構造で決定でき、また耐圧構造部でもダイナミック・アバランシェ・ブレイクダウンが起こり難くなるからである。

【0020】更に、第3の並列pn構造の第1主面側が第1電極層に導電接続する第2導電型ウェル領域で覆われて成る構成では、オフ時には第3の並列pn構造の各縦形第2導電型領域が確実に逆バイアスとなり、第2導電型領域のpn接合から深さ方向にも空乏層が拡がり易く、第3電極層の直下部分では高耐圧であって、より一層ダイナミック・アバランシェ・ブレイクダウンが起こり難くなるため、アバランシェ耐量を向上できる。しかも、ダイナミック・アバランシェ・ブレイクダウンが第3電極層の直下部分で万一発生した場合、発生した過剰なホールは外部接続用電極層と絶縁膜との界面に蓄積することなく、キャリア引き抜き用として機能する第2導電型ウェル領域を介して第1電極層に引き抜かれるため、発熱等による素子破壊を招くことがない。

【0021】ここで、第3の並列pn構造の第1主面側を覆う第2導電型ウェル領域に着目すると、第2導電型ウェル領域が第3の並列pn構造の第1主面側の一部を覆う場合、第3の並列pn構造全体の空乏化が困難となるばかりか、第2導電型ウェル領域におけるウェル端部の曲面では電界集中が起こり易いので、第3の並列pn構造と第1の並列pn構造との境界に相当するpn接合でダイナミック・アバランシェ・ブレイクダウンが発生し易くなる。

10

【0022】そこで、第3の並列pn構造は第2導電型領域のウェル両端部を除くウェル底に接続した構造を採用することが望ましい。斯かる場合、第3の並列pn構造全体を均等に空乏化することができる。第3電極層が第1の電極層の一辺途中部やコーナー部に位置するときは、第2導電型領域のウェル端部のいずれの部位がドリフト部の第1の並列pn構造の端部又は耐圧構造部の第2の並列pn構造の端部に接続し、また、第3電極層が第1の電極層の中央部に位置するときは、第2導電型領域のウェル端部のいずれもの部位がドリフト部の第1の並列pn構造の端部に接続しているものであるから、第3の並列pn構造と第1の並列pn構造との境界に相当するpn接合が第2導電型ウェル領域に接続し、ダイナミック・アバランシェ・ブレイクダウンの発生をドリフト部へ締め出すことができると共に、第3の並列pn構造と第2の並列pn構造との境界に相当するpn接合も第2導電型ウェル領域に接続しているため、安定した耐圧が確保できる。特に、第1の並列pn構造における最端には縦形第2導電型領域を配置し、これが第2導電型ウェル領域のウェル端部側に接続していることが望ましい。隣接する第3の並列pn構造の最端の縦形第1導電型領域とのチャージバランスをとることができるからである。

【0023】第1の並列pn構造と前記第2の並列pn構造とが、平行に配置されていても、直交して配置されても構わない。また、第1の並列pn構造と第3の並列pn構造とが、平行に配置されていても、直交して配置されても構わない。第1、第2、及び第3の並列pn構造を構成する縦形第1導電型領域と縦形第2導電型領域は平面的にストライプ状とすることができるが、縦形第1導電型領域と縦形第2導電型領域が層状ではなく、少なくとも一方が柱状で、立体三方格子や立体四方格子等の立体的格子点に配置されていても良い。単位体積当たりのpn接合面積の比率が増すため、耐圧が向上する。第1導電型領域と縦形第2導電型領域はそれぞれ一様不純物分布の連続拡散領域としても良いが、縦形第1導電型領域と縦形第2導電型領域のうち、少なくとも一方は基板の厚み方向に離散的に埋め込んだ複数の拡散単位領域が相互連結して成る会合構造とするのが望ましい。縦形の並列pn構造自体の形成が頗る容易となるからである。かかる場合、各拡散単位領域は中心部が最大濃度部となって外方向に濃度漸減する濃度分布を持つ。

【0024】上記第1の手段は、第3電極層がオン・オフ制御用の電極層であるため、3端子以上の縦形能動素子に適用するものであるが、第2の手段は、2端子の縦形受動素子にも適用できるものである。

【0025】即ち、上記第1の手段における第3電極層の有無に拘わらず、第2の手段は、第1の並列pn構造又は第2の並列pn構造のうち、少なくとも第1の電極層の周縁部の直下部分における並列pn構造のpn繰り返し



11

返しピッチが第1の並列pn構造のpn繰返しピッチよりも狭くなっていることを特徴する。この第1の電極層の周縁部としては、一般にフィールドプレートとして機能しているものである。

【0026】斯かる手段によれば、第1の電極層の周縁部の直下部分での耐圧を向上できると共に、ダイナミック・アバランシェ・ブレイクダウン耐量を向上できる。その直下部分における並列pn構造の不純物濃度が第1の並列pn構造の不純物濃度よりも低くなっていることが望ましい。

【0027】また、その直下部分の並列pn構造の第1主面側は第1電極層に導電接続する第2導電型ウェル領域で覆われて成ることが望ましい。オフ時にはその直下部分を確実に逆バイアスに設定できるからであり、しかも、その直下部分でダイナミック・アバランシェ・ブレイクダウンが万一生じた場合にはキャリア引き抜き用として機能する第2導電型ウェル領域を介して第1電極層へキャリアを引き抜くことができ、素子破壊を防止できる。

【0028】そして、第1の並列pn構造のうち前記直下部分の並列pn構造に隣接する最端の縦形第2導電型領域は、第2導電型ウェル領域のウェル端部に接続していることが望ましい。直下部分の並列pn構造の最端の縦形第1導電型領域とその最端の縦形第2導電型領域とのpn接合が第2導電型ウェル領域に接続しているため、ダイナミック・アバランシェ・ブレイクダウンが生じ難くなる。また、チャージバランスをとることができる。

【0029】

【発明の実施の形態】以下に本発明の実施例を添付図面に基づいて説明する。なお、以下でn又はpを冠記した層や領域は、それぞれ電子又は正孔を多数キャリアとする層や領域を意味する。また、上付き文字+は比較的高不純物濃度、上付き文字-は比較的低不純物濃度を意味する。

【0030】〔実施例1〕図1は、本発明の実施例1に係る縦形MOSFET素子のチップを示す概略平面図で、MOSFETの表面活性部や絶縁膜上のソース電極層及びゲート取り出し電極を省略してある。図2は、図1中の矩形範囲A1-A2-A3-A4を拡大して示す平面図である。図3は、図2中のA5-A6線に沿って切断した状態を示す断面図である。

【0031】本例のnチャネル縦形MOSFETは、裏側のドレイン電極18が導電接触した低抵抗のn++ドレイン層（ドレイン・コンタクト層）11の上に形成された第1の並列pn構造のドレイン・ドリフト部1と、このドリフト部1の表面側に選択的に環状又はストライプ状のセルとして形成された不純物高濃度のpベース領域（pウェル）13と、そのpベース領域13内の表面側に選択的に形成された不純物高濃度のn+ソース領域

12

14と、基板表面上にゲート絶縁膜15を介して設けられたポリシリコン等のゲート電極層16と、層間絶縁膜20に開けたコンタクト孔を介してpベース領域13のp+コンタクト領域19及びn+ソース領域14の双方に導電接触するソース電極17とを有している。ウェル状のpベース領域13の中にn+ソース領域14が浅く形成されており、2重拡散型MOS部を構成している。ここで、この素子の表面活性部はpベース領域13及びソース領域14に相当している。

10 【0032】このドレイン・ドリフト部1は、n++ドレイン層11のサブストレートの上にn型のエピタキシャル成長層を幾層も積み増した厚い積層として形成されており、基板の厚み方向に層状縦形のn型ドリフト電路領域1aと基板の厚み方向に層状縦形のp型仕切領域1bとを交互に繰返して多重接合した構造である。本例では、n型のドリフト電路領域1aは、隣接するpベース領域13のウェル端部に位置し、その上端が基板表面のチャネル領域12eに達し、その下端がn++ドレイン層11に接している。また、p型の仕切領域1bは、その上端がpベース領域13aのウェル両端部を除くウェル底に接し、その下端がn++ドレイン層11に接している。本例は耐圧が600Vクラスのものであり、ドリフト電路領域1aとp型の仕切領域1bの層厚は共に8μmで、深さは約40μmである。それぞれの不純物濃度は $2.5 \times 10^{15} \text{ cm}^{-3}$ であるが、 $1 \times 10^{15} \sim 3 \times 10^{15}$ であれば良い。

20 【0033】図1に示すように、チップ平面に主体的に占めるドリフト部1の周りで、基板表面とn++ドレイン層11との間には、オン状態では非電路領域であってオフ状態では空乏化する耐圧構造部（素子外周部）2が形成されている。この耐圧構造部2は、基板の厚さ方向に配向する層状の縦形n型領域2aと、基板の厚さ方向に配向する層状の縦形p型領域2bとを交互に繰返して多重接合して成る第2の並列pn構造となっている。ドリフト部1の第1の並列pn構造と耐圧構造部2の第2の並列pn構造とは平行に配置されている。即ち、ドリフト部1の第1の並列pn構造の層面と耐圧構造部2の第2の並列pn構造とは層面が相平行し、それらの境界部分では互いに逆導電型の領域となって、pn繰返しが連続している。図2に示すように、耐圧構造部2の第2の並列pn構造におけるpn繰返し端面とドリフト部1の第2の並列pn構造におけるpn繰返し端面とが接続している。本例では、耐圧構造部2の第2の並列pn構造におけるpn繰返しピッチはドリフト部1の第1の並列pn構造におけるpn繰返しピッチよりも狭くなっている。また、耐圧構造部2の不純物濃度はドリフト部1の不純物濃度よりも低くなっている。縦形n型領域2aと縦形p型領域2bの層厚は共に4μmで、深さは約40μmである。それぞれの不純物濃度は $2.5 \times 10^{13} \text{ cm}^{-3}$ であるが、 $2 \times 10^{14} \text{ cm}$

50



13

3以下であれば良い。なお、耐压構造部2の表面上には、表面保護及び安定化のために、熱酸化膜又は燐シリカガラス(PSG)から成る酸化膜(絶縁膜)23が成膜されている。

【0034】耐压構造部2の外側には、基板の厚み方向に配向し、比較的厚い層厚のn型チャネルストッパ領域24が配置されている。このn型チャネルストッパ領域24はn+コンタクト領域25を介してドレイン電圧と同電位の周縁電極26に電氣的に接続している。

【0035】ドリフト部1はチップ平面上で矩形領域を占め、その一辺中途部において、層間絶縁膜20上にゲート取り出し電極30が位置している。このゲート取り出し電極30の周りにはソース電極層17がフィールドプレート17aとして張り出している。ゲート取り出し電極30の直下でドリフト部1の第1の並列pn構造と耐压構造部2の第2の並列pn構造とに挟まれた直下部分は、第3の並列pn構造となっている。この第3の並列pn構造は、基板の厚さ方向に配向する層状の縦形n型領域3aと、基板の厚さ方向に配向する層状の縦形p型領域3bとを交互に繰り返して多重接合して成る。ドリフト部1の第1の並列pn構造と直下部分3の第3の並列pn構造とは相平行して配置されている。即ち、ドリフト部1の第1の並列pn構造の層面と直下部分3の第3の並列pn構造との層面とは相平行し、それらの境界部分では互いに逆導電型の領域となって、pn繰り返しが連続している。また、耐压構造部2の第2の並列pn構造の層面と直下部分3の第3の並列pn構造との層面とは相平行し、それらの境界部分では互いに逆導電型の領域となって、pn繰り返しが連続している。

【0036】本例では、直下部分3の第3の並列pn構造におけるpn繰り返しピッチはドリフト部1の第1の並列pn構造におけるpn繰り返しピッチよりも狭くなっており、耐压構造部2の第2の並列pn構造におけるpn繰り返しピッチと同じである。直下部分3の第3の並列pn構造の不純物濃度はドリフト部1の不純物濃度よりも低くなっており、耐压構造部2の第2の並列pn構造の不純物濃度と同じである。n型領域3aとp型領域3bの層厚は共に4 $\mu$ mで、深さは約40 $\mu$ mである。それぞれの不純物濃度は $2.5 \times 10^{13} \text{ cm}^{-3}$ であるが、 $2 \times 10^{14} \text{ cm}^{-3}$ 以下であれば良い。

【0037】直下部分3の第3の並列pn構造の表面側はp型ウェル領域40で覆われており、p型ウェル領域40はその中に形成したp+コンタクト領域41を介してコンタクト領域に電氣的に接続している。直下部分3の第3の並列pn構造はp型ウェル領域40のウェル端を除くウェル底に接続している。ドリフト部1の最端の縦形仕切領域1bはp型ウェル領域40の内側ウェル端寄りウェル底に接続し、隣接する直下部分3のn型領域3aとのpn接合Jはp型領域40のウェル底に接続している。耐压構造部2の最端のp型領域2bはp型ウ

14

エル領域40に外側ウェル端寄りで接続している。

【0038】なお、上記の並列pn構造は、縦形p型領域と縦形n型領域のうち、少なくとも一方は基板の厚み方向に離散的に埋め込んだ複数の拡散単位領域が相互連結して成る会合構造とするのが望ましい。並列pn構造自体の形成が頗る容易となるからである。かかる場合、各拡散単位領域は中心部が最大濃度部となって外方向に濃度漸減する濃度分布を持つものである。

【0039】次に本例の動作について説明する。ゲート電極層16に所定の正の電位を印加すると、nチャネル型MOSFETはオン状態となり、ゲート電極層16直下のpベース領域13の表面に誘起される反転層を介して、ソース領域14からチャネル領域12eに電子が注入され、その注入された電子がドリフト電路領域1aを通してn++ドレイン層11に達し、ドレイン電極18とソース電極17との間が導通する。

【0040】ゲート電極層16への正の電位を取り去ると、MOSFETはオフ状態となり、pベース領域13の表面に誘起される反転層が消滅し、ドレイン電極18とソース電極17との間が遮断する。更に、このオフ状態の際、逆バイアス電圧(ソース・ドレイン間電圧)が大きいと、pベース領域13とチャネル領域12eとの間のpn接合からそれぞれpベース領域13とチャネル領域12eに空乏層が拡張して空乏化すると共に、ドリフト部1の各仕切領域1bはpベース領域13を介してソース電極17に電氣的に接続し、ドリフト部1の各ドリフト電路領域1aはn++ドレイン層11を介してドレイン電極18に電氣的に接続しているため、仕切領域1bとドリフト電路領域1aとの間のpn接合からの空乏層が仕切領域1bとドリフト電路領域1aの双方に拡張するので、ドリフト部1の空乏化が早まる。従って、ドリフト部1の高耐压化が十分確保されているので、ドリフト部1の不純物濃度を高く設定でき、大電流容量化も確保できる。

【0041】ここで、本例のドリフト部1の周りの耐压構造部2には第2の並列pn構造が形成されている。この第2の並列pn構造の中で幾つかのp型領域2bは、pベース領域13又はp型領域40を介してソース電極17に電氣的に接続し、また各n型領域20aはn++ドレイン層11を介してドレイン電極18に電氣的に接続しているため、耐压構造部2のpn接合から拡張した空乏層によって、基板厚み全長に亘り概ね空乏化される。このため、表面ガードリング構造やフィールドプレート構造のように耐压構造部2の表面側を空乏化させるだけではなく、外周部や基板深部までも空乏化させることができるので、耐压構造部2の電界強度を大幅緩和でき、高耐压を確保できる。それ故、超接合半導体素子の高耐压化を実現できる。

【0042】特に、本例では、耐压構造部2の第2の並列pn構造は、ドリフト部1の第1の並列pn構造より

15

もpn繰返しピッチが狭く、しかも不純物濃度（不純物濃度）が低くなっているため、耐圧構造部2はドリフト部1よりも早く空乏化するため、耐圧信頼性が高い。耐圧構造部2のpn繰返し端面がドリフト部1のpn繰返し端面に接続しているため、耐圧構造部2の空乏化率は高い。従って、ドリフト部1に第1の並列pn構造を採用した超接合半導体素子にあっても、その周りの耐圧構造部2の耐圧が第2の並列pn構造によって十分に保証されることになるため、ドリフト部1の第1の並列pn構造の最適化が容易で、超接合半導体素子の設計自由度が高まり、超接合半導体素子を実用化できる。

【0043】本例はまた、ゲート取り出し電極30の直下部分3の第3の並列pn構造がドリフト部1の第1の並列pn構造よりもpn繰返しピッチが狭く、しかも不純物濃度が低くなっているため、ゲート取り出し電極30の直下部分3ではドリフト部1に比し単位面積当たりの空乏層が拡がり易く、素子耐圧が直下部分3で決定されることはない。特に、直下部分3の第3の並列pn構造がドリフト部1の第1の並列pn構造よりもpn繰返しピッチが狭いことから、直下部分3のいずれのp型領域3bもドリフト部1のp型仕切り領域1bの深さ方向に沿って接続しているため、電位浮遊状態にならず、直下部分3の空乏化を保証できる。換言すれば、ドリフト部1の第1の並列pn構造と直下部分3の第3の並列pn構造とが相平行である配置関係の場合には、p型領域40が存在しないときでも、ソース電位を直下部分3のいずれものp型領域3bに導電するためには、直下部分3の第3の並列pn構造のpn繰返しピッチをドリフト部1の第1の並列pn構造のpn繰返しピッチよりも狭くすることが望ましい。また、遮断時には直下部分3での空乏層の拡張がドリフト部1よりも早まり、電界強度を緩和でき、キャリアがドリフト部1側へ締め出されるため、直下部分3ではダイナミック・アバランシェ・ブレイクダウンが発生し難くなり、安定した耐圧の確保が可能であると共に、高いダイナミック・アバランシェ・ブレイクダウン耐量を得ることができる。

【0044】更に、第3の並列pn構造の表面側にはソース電極17に電氣的に接続するp型領域40が存在するため、オフ時には第3の並列pn構造の各p型領域2bが確実に逆バイアスとなり、p型領域2bのpn接合から深さ方向にも空乏層が拡がり易くなり、直下部分3では高耐圧であって、より一層ダイナミック・アバランシェ・ブレイクダウンが起こり難くなるため、アバランシェ耐量を向上できる。しかも、ダイナミック・アバランシェ・ブレイクダウンが直下部分3で万一発生した場合、発生した過剰なホールはp型領域40を介してソース電極17に引き抜かれるため、発熱等による素子破壊を招くことがない。

【0045】直下部分3の第3の並列pn構造はp型ウェル領域40のウェル端を除くウェル底に接続している

16

ため、第3の並列pn構造全体を均等に空乏化することができる。また、ドリフト部1の最端の縦形仕切領域1bはp型ウェル領域40の内側ウェル端寄りウェル底に接続し、隣接する直下部分3のn型領域3aとのpn接合Jはp型ウェル領域40のウェル底に接続している。このため、内側ウェル端では電界集中が起こり易く、ダイナミック・アバランシェ・ブレイクダウンの発生を招き易いが、その発生をドリフト部1に締め出すことができると共に、隣接する第3の並列pn構造の最端のn型領域3bとのチャージバランスをとることができる。

【0046】なお、上記の並列pn構造1～3のn型領域1a～3a及びp型領域1b～3bは図2に示す如く平面的にストライプ状に形成されているが、図4に示す様に、地としてのn型領域1a'～3a'の中にp型領域1b'～3b'を平面的格子状に形成しても良い。p型領域1b'～3b'は基板の深さ方向に柱状である。各p型領域1b'～3b'は少なくとも一方は基板の厚み方向に離散的に埋め込んだ複数の拡散単位領域が相互連結して成る会合構造であり、各拡散単位領域は中心部が最大濃度部となって外方向に濃度漸減する濃度分布を持つものである。勿論、地としてのp型領域の中にn型領域を平面的格子状に形成しても良い。

【0047】なお、耐圧クラスを変更する場合、各並列pn構造の深さ方向の長さを耐圧クラスに応じた長さに変更すれば良い。例えば900Vクラスの場合、60μm程度であれば良い。更に、第2及び第3の並列pn構造は、そのピッチを狭くし、不純物濃度を低くしてあるが、ピッチが同じであっても濃度だけを低くすれば良い。第2及び第3の並列pn構造の不純物濃度は、第1の並列pn構造の不純物濃度の1/5～1/100程度が良い。

【0048】〔実施例2〕図5は、本発明の実施例2に係る縦形MOSFETにおけるチップの左上範囲を拡大して示す平面図で、図2と同様に、図1中の矩形範囲A1-A2-A3-A4に相当している。

【0049】本例の実施例1との構造上の違いは、耐圧構造部2の第2の並列pn構造及び直下部分3の第3の並列pn構造がドリフト部1の第1の並列pn構造と直交して配置されているところである。即ち、ドリフト部1の第1の並列pn構造の層面と直下部分3の第3の並列pn構造の層面とは相直交し、ドリフト部1の第1の並列pn構造の層面と耐圧構造部2の第2の並列pn構造の層面とは相平行している。また、ドリフト部1の第1の並列pn構造のpn繰返しピッチに比し、直下部分3と耐圧構造部2の並列pn構造のpn繰返しピッチの方が狭くなっており、約半分である。更に、ドリフト部1の不純物濃度に比し、直下部分3と耐圧構造部2の不純物濃度が低くなっている。図5中では、直下部分3の第3の並列pn構造の繰返し端面とドリフト部1



17

のp型仕切り領域1bbとが接続している。このため、ドリフト部1の第1の並列pn構造と直下部分3の第3の並列pn構造とが相直交である配置関係の場合には、p型ウェル領域40が存在しないときでも、直下部分3とドリフト部1との境界の曲率線を考慮すれば、p型領域40が存在しないときでも、ソース電位を直下部分3のいずれものp型領域3bに導電することが可能であり、直下部分3におけるpn繰り返しピッチの方をドリフト部1におけるpn繰り返しピッチに比し狭くすることは必須ではない。

【0050】このような3つの並列pn構造の配列関係でも、実施例1と同様の作用効果を奏するものである。

【0051】〔実施例3〕図6は、本発明の実施例3に係る縦形MOSFET素子のチップを示す概略平面図で、MOSFETの表面活性化部や絶縁膜上のソース電極層及びゲート取り出し電極を省略してある。図7は、図6中の矩形範囲B1-B2-B3-B4を拡大して示す平面図である。図7中のB5-B6線に沿って切断した状態を示す断面図は、図3と同じである。

【0052】本例におけるゲート取り出し電極の直下部分3の第3の並列pn構造はドリフト部1の第1の並列pn構造のコーナー部に位置している。ドリフト部1の第1の並列pn構造の層面と直下部分3の第3の並列pn構造との層面とは相平行し、ドリフト部1の第1の並列pn構造の層面と耐圧構造部2の第2の並列pn構造の層面とは相平行している。また、ドリフト部1の第1の並列pn構造のpn繰り返しピッチに比し、直下部分3と耐圧構造部2の並列pn構造のpn繰り返しピッチの方が狭くなっており、約半分である。更に、ドリフト部1の不純物濃度に比し、直下部分3と耐圧構造部2の不純物濃度が低くなっている。特に、直下部分3の第3の並列pn構造がドリフト部1の第1の並列pn構造よりもpn繰り返しピッチが狭いことから、p型ウェル領域40が存在しないときでも、直下部分3のいずれのp型領域3bもドリフト部1のp型仕切り領域1bの深さ方向に沿って接続しているため、電位浮遊状態にならず、直下部分3の空乏化を保證できる。

【0053】このように、ゲート取り出し電極の直下部分3がドリフト部1のコーナー部に位置している場合でも、実施例1と同様の作用効果を奏するものである。

【0054】〔実施例4〕図8は、本発明の実施例4に係る縦形MOSFETにおけるチップの左上範囲を拡大して示す平面図で、図7と同様に、図6中の矩形範囲B1-B2-B3-B4に相当している。

【0055】本例もまた、実施例3と同様に、ゲート取り出し電極の直下部分3の第3の並列pn構造はドリフト部1の第1の並列pn構造のコーナー部に位置しているが、ドリフト部1の第1の並列pn構造の層面と直下部分3の第3の並列pn構造との層面とは相直交し、ドリフト部1の第1の並列pn構造の層面と耐圧構造部2

18

の第2の並列pn構造の層面とは相直交している。また、ドリフト部1の第1の並列pn構造のpn繰り返しピッチに比し、直下部分3と耐圧構造部2の並列pn構造のpn繰り返しピッチの方が狭くなっており、約半分である。更に、ドリフト部1の不純物濃度に比し、直下部分3と耐圧構造部2の不純物濃度が低くなっている。

【0056】このように、ゲート取り出し電極の直下部分3がドリフト部1のコーナー部に位置している場合でも、実施例1と同様の作用効果を奏するものである。コーナー部では電界集中をできる限り避けるために、ドリフト部1と直下部分3との境界線は曲線を以って接続しているため、直下部分3における第3の並列pn構造のpn繰り返し端面が一のp型仕切り領域に接続し難い。その曲線の曲率にもよるが、むしろ、直下部分3におけるpn繰り返しピッチの方をドリフト部1におけるpn繰り返しピッチに比し広くすると、p型ウェル領域40が存在しないときでも、ソース電位を直下部分3のいずれものp型領域3bに導電することが可能となる。

【0057】〔実施例5〕図9は、本発明の実施例5に係る縦形MOSFET素子のチップを示す概略平面図で、MOSFETの表面活性化部や絶縁膜上のソース電極層及びゲート取り出し電極を省略してある。図10は、図9中の矩形範囲C1-C2-C3-C4を拡大して示す平面図である。図11は、図10中のC5-C6線に沿って切断した状態を示す断面図である。

【0058】本例におけるゲート取り出し電極30の直下部分3の第3の並列pn構造はドリフト部1の第1の並列pn構造の中央部に位置している。ドリフト部1の第1の並列pn構造の層面と直下部分3の第3の並列pn構造との層面とは相平行し、ドリフト部1の第1の並列pn構造の層面と耐圧構造部2の第2の並列pn構造の層面とは相平行している。また、ドリフト部1の第1の並列pn構造のpn繰り返しピッチに比し、直下部分3と耐圧構造部2の並列pn構造のpn繰り返しピッチの方が狭くなっており、約半分である。更に、ドリフト部1の不純物濃度に比し、直下部分3と耐圧構造部2の不純物濃度が低くなっている。直下部分3の第3の並列pn構造がドリフト部1の第1の並列pn構造よりもpn繰り返しピッチが狭いことから、p型ウェル領域40が存在しないときでも、直下部分3のいずれのp型領域3bもドリフト部1のp型仕切り領域1bの深さ方向に沿って接続しているため、電位浮遊状態にならず、直下部分3の空乏化を保證できる。

【0059】本例では、ゲート取り出し電極30がソース電極層17の外周フィールドプレート17aはなく、内周フィールドプレート17bに囲まれた領域に位置しているため、直下部分3の第3の並列pn構造がp型領域40で覆われている外、外周フィールドプレート17aの直下部分における第2の並列pn構造がp型ウェル領域50で覆われ、p型ウェル領域50の中にソース電



19

極と導電接続する p+コンタクト領域 51 が形成されている。外周フィールドプレート 17a の直下部分での空乏化を早め、ダイナミック・アバランシェ・ブレイクダウン耐量を確保できる。また、第 1 の並列 p n 構造の最端の仕切り領域 1b が p 型ウェル領域 50 のウェル底に接続しているため、隣接する第 2 の並列 p n 構造の最端の n 型領域 2a とのチャージバランスをとることができる。

【0060】〔実施例 6〕図 12 は、本発明の実施例 4 に係る縦形 MOSFET におけるチップの左上範囲を拡大して示す平面図である。図 10 と同様に、図 9 中の矩形範囲 C1-C2-C3-C4 に相当している。

【0061】本例もまた、実施例 5 と同様に、ゲート取り出し電極の直下部分 3 の第 3 の並列 p n 構造はドリフト部 1 の第 1 の並列 p n 構造の中央部に位置しているが、ドリフト部 1 の第 1 の並列 p n 構造の層面と直下部分 3 の第 3 の並列 p n 構造との層面とは相直交し、ドリフト部 1 の第 1 の並列 p n 構造の層面と耐圧構造部 2 の第 2 の並列 p n 構造の層面とは相直交している。また、ドリフト部 1 の第 1 の並列 p n 構造の p n 繰り返しピッチに比し、直下部分 3 と耐圧構造部 2 の並列 p n 構造の p n 繰り返しピッチの方が狭くなっており、約半分である。更に、ドリフト部 1 の不純物濃度に比し、直下部分 3 と耐圧構造部 2 の不純物濃度が低くなっている。

【0062】直下部分 3 における第 3 の並列 p n 構造の p n 繰り返し端面が一の p 型仕切り領域に接続しているため、p 型ウェル領域 40 が存在しないときでも、ソース電位を直下部分 3 のいずれもの p 型領域 3b に導電することが可能となる。そして、ゲート取り出し電極の直下部分 3 がドリフト部 1 のコーナ一部に位置している場合でも、実施例 5 と同様な作用効果を奏するものである。

【0063】なお、上記各実施例では 2 重拡散型の縦形 MOSFET について説明したが、本発明は IGBT (伝導度変調型 MOSFET)、バイポーラトランジスタなどの 3 端子以上の縦形能動素子は勿論のこと、2 端子の受動素子に適用できるものである。

【0064】

【発明の効果】以上説明したように、本発明は、ドリフト部の周りの耐圧構造部を並列 p n 構造とすると共に、第 3 電極層の直下部分や第 1 の電極層の周縁部の直下部分もまた並列 p n 構造としながら、その直下部分の p n 繰り返しピッチをドリフト部のそれに比して狭くするか、或いはその直下部分の不純物濃度をドリフト部のそれに比して低くした点に特徴を有するものであるから、次のような効果を奏する。

【0065】(1) ドリフト部の周りに並列 p n 構造が配置されているため、オフ状態では、多重の p n 接合面から空乏層が拡張し、活性部の近傍に限らず、外方向や第 2 主面側まで空乏化するので、耐圧構造部の耐圧は

20

ドリフト部の耐圧よりも大きい。従って、ドリフト部に縦形の並列 p n 構造を採用した超接合半導体素子においても、耐圧構造部の耐圧が十分に保証されていることになるため、ドリフト部の並列 p n 構造の最適化が容易で、超接合半導体素子の設計自由度が高まり、超接合半導体素子を実用化できる。耐圧構造部の並列 p n 構造がドリフト部の並列 p n 構造よりも不純物量の少ない場合、又は耐圧構造部の並列 p n 構造がドリフト部の並列 p n 構造よりも p n 繰り返しピッチの狭い場合、耐圧構造部の耐圧をドリフト部の耐圧よりも確実に大きくでき、信頼性が向上する。

【0066】(2) 第 3 電極層の直下部分又は第 1 の電極層の周縁部の直下部分も並列 p n 構造であって、その p n 繰り返しピッチがドリフト部の p n 繰り返しピッチよりも狭くなっているため、直下部分ではドリフト部に比し単位面積当たりの空乏層が拡がり易く、直下部分で決定されることはない。また、遮断瞬時には直下部分での空乏層の拡張がドリフト部よりも早まり、電界強度を緩和でき、キャリアがドリフト部側へ締め出されるため、直下部分ではダイナミック・アバランシェ・ブレイクダウンが発生し難くなる。従って、ダイナミック・アバランシェ・ブレイクダウンはドリフト部で発生し、直下部分でのダイナミック・アバランシェ・ブレイクダウンを抑制でき、安定した耐圧の確保が可能であると共に、高いダイナミック・アバランシェ・ブレイクダウン耐量を得ることができる。直下部分の不純物濃度がドリフト部のそれに比して低い場合も同様の効果を得ることができる。

【0067】(3) 直下部分の第 1 主面側が第 1 電極層に導電接続する第 2 導電型ウェル領域で覆われて成る構成では、オフ時には第 3 の並列 p n 構造の各縦形第 2 導電型領域が確実に逆バイアスとなり、第 2 導電型領域の p n 接合から深さ方向にも空乏層が拡がり易く、第 3 電極層の直下部分では高耐圧であって、より一層ダイナミック・アバランシェ・ブレイクダウンが起こり難くなるため、アバランシェ耐量を向上できる。しかも、ダイナミック・アバランシェ・ブレイクダウンが第 3 電極層の直下部分で万一発生した場合、キャリア引き抜き用として機能する第 2 導電型ウェル領域を介して第 1 電極層に引き抜かれるため、発熱等による素子破壊を招くことがない。

【図面の簡単な説明】

【図 1】本発明の実施例 1 に係る縦形 MOSFET 素子のチップを示す概略平面図である。

【図 2】図 1 中の矩形範囲 A1-A2-A3-A4 を拡大して示す平面図である。

【図 3】図 2 中の A5-A6 線に沿って切断した状態を示す断面図である。

【図 4】実施例 1 における並列 p n 構造の変形例を示す平面図である。

21

●【図5】本発明の実施例2に係る縦形MOSFETにおけるチップの左上範囲を拡大して示す平面図である。

●【図6】本発明の実施例3に係る縦形MOSFET素子のチップを示す概略平面図である。

【図7】図6中の矩形範囲B1-B2-B3-B4を拡大して示す平面図である。

【図8】本発明の実施例4に係る縦形MOSFETにおけるチップの左上範囲を拡大して示す平面図である。

【図9】本発明の実施例5に係る縦形MOSFET素子のチップを示す概略平面図である。

【図10】図9中の矩形範囲C1-C2-C3-C4を拡大して示す平面図である。

【図11】図10中のC5-C6線に沿って切断した状態を示す断面図である。

【図12】本発明の実施例6に係る縦形MOSFETにおけるチップの左上範囲を拡大して示す平面図である。

【図13】従来の単一導電型のドリフト層を持つ縦形MOSFETを示す部分断面図である。

【図14】従来の並列pn構造のドリフト層を持つ縦形MOSFETを示す部分断面図である。

【符号の説明】

1…ドレイン・ドリフト部

1a, 1a'…n型ドリフト電路領域

22

\* 1b, 1b'…p型仕切領域

2…耐圧構造部

2a, 2a', 3a, 3a'…縦形n型領域

2b, 2b', 3b, 3b'…縦形p型領域

3…ゲート取り出し電極の直下部分

11…n+ドレイン層

12e…チャネル領域

13…高不純物濃度のpベース領域 (pウェル)

14…n+ソース領域

10 15…ゲート絶縁膜

16…ゲート電極層

17…ソース電極

17a, 17b…フィールドプレート

18…ドレイン電極

19, 21, 51…p+コンタクト領域

20…層間絶縁膜

24…n型チャネルストップ領域

25…n+コンタクト領域

26…周縁電極

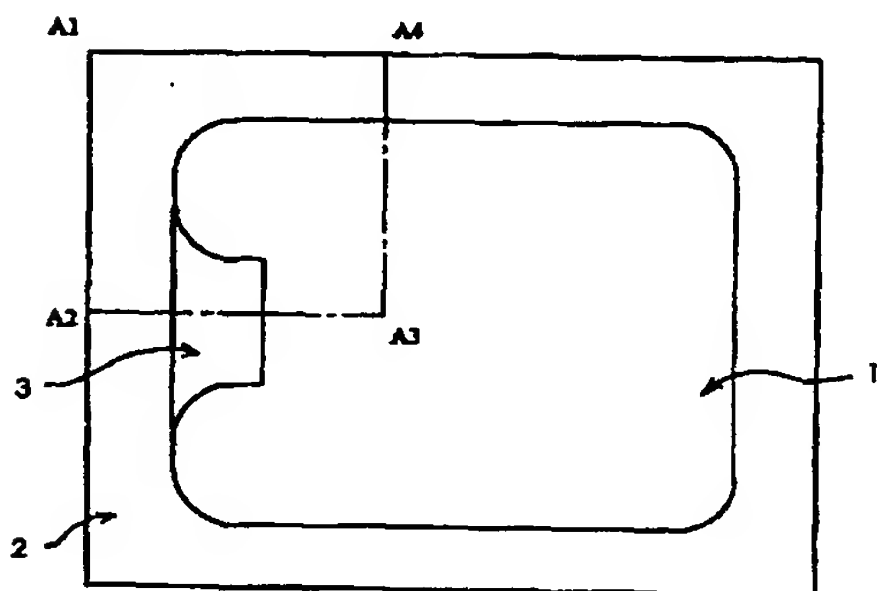
20 30…ゲート取り出し電極

40, 50…p型ウェル領域

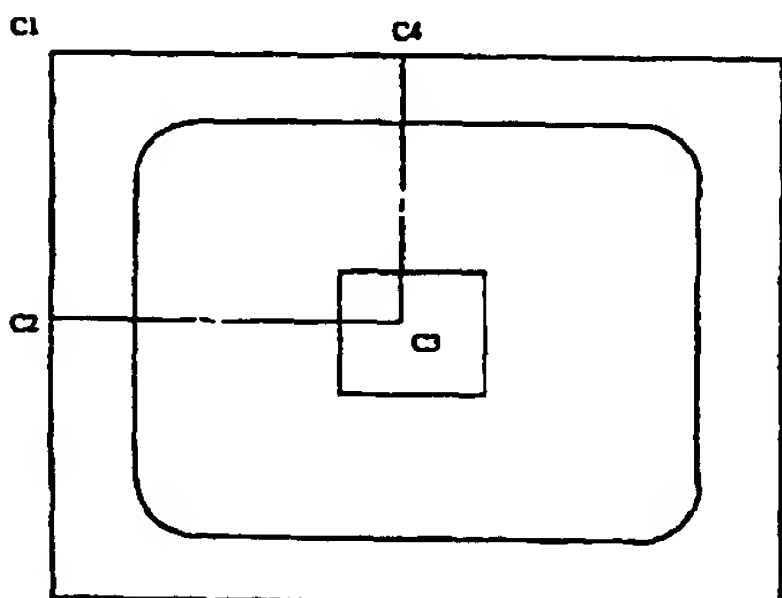
J…pn接合

\*

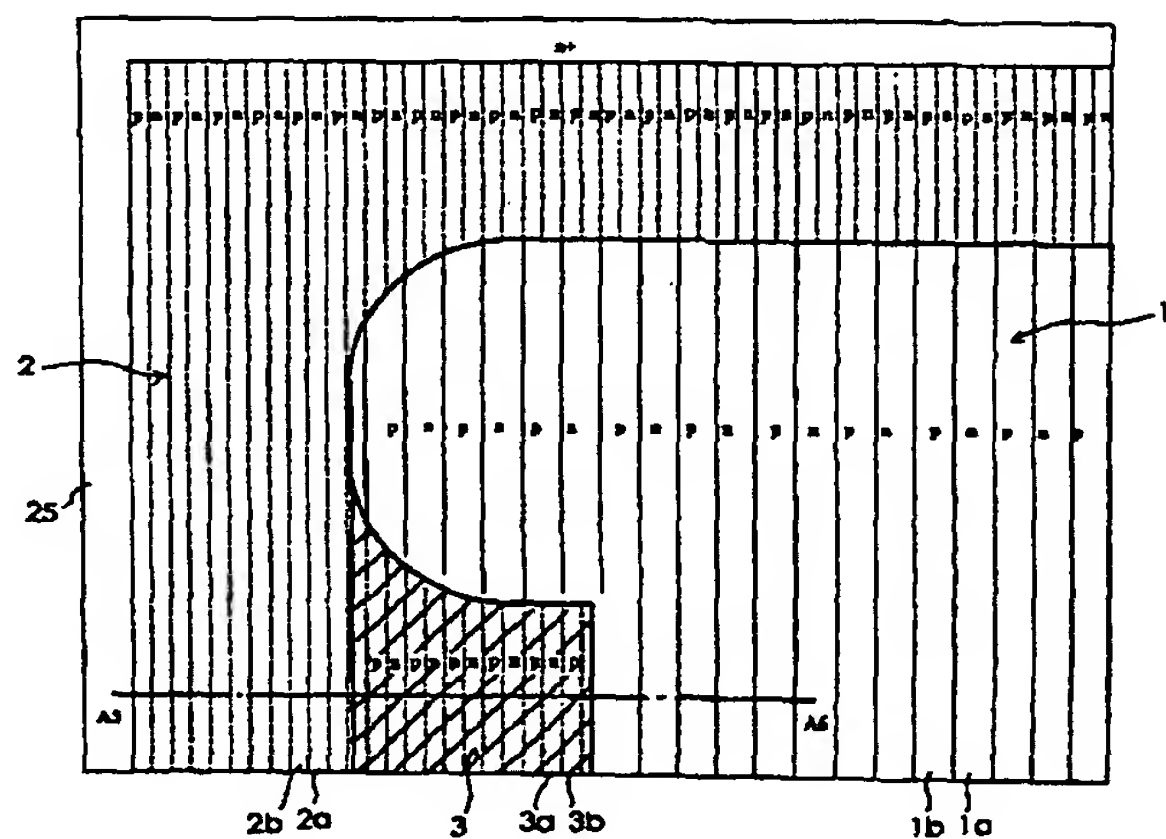
【図1】



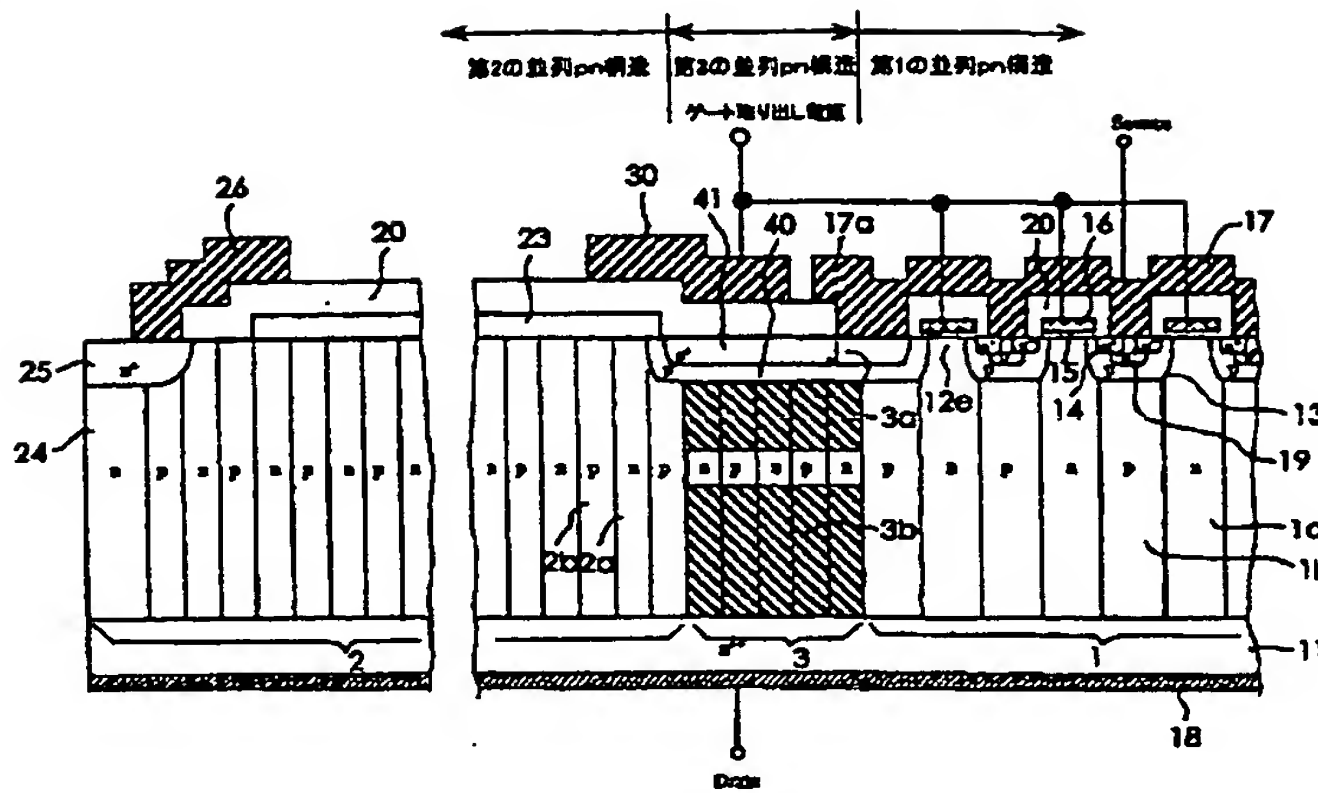
【図9】



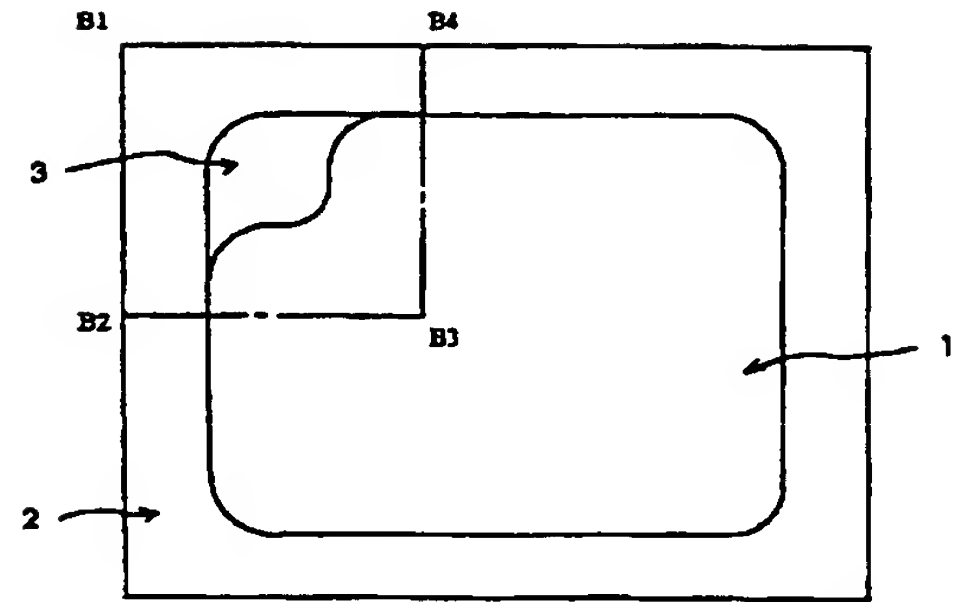
【図2】



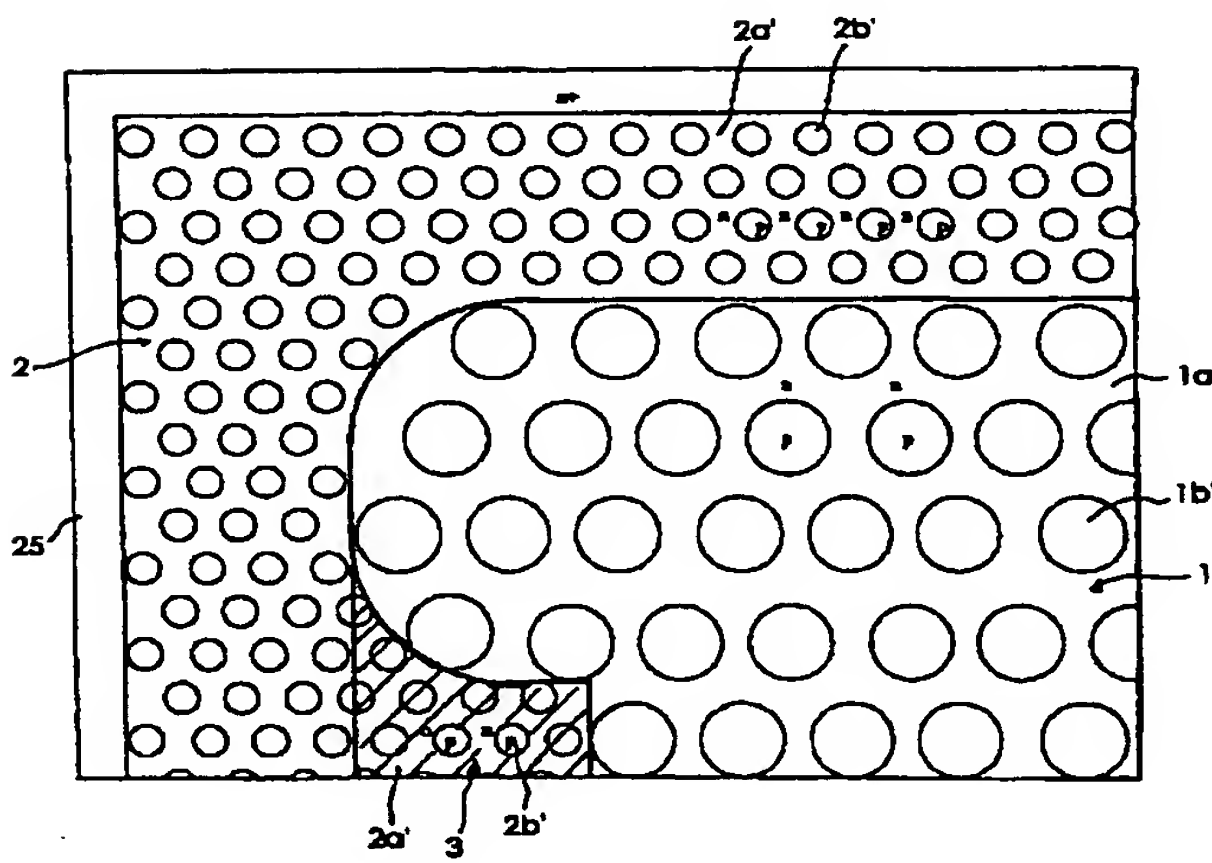
【図3】



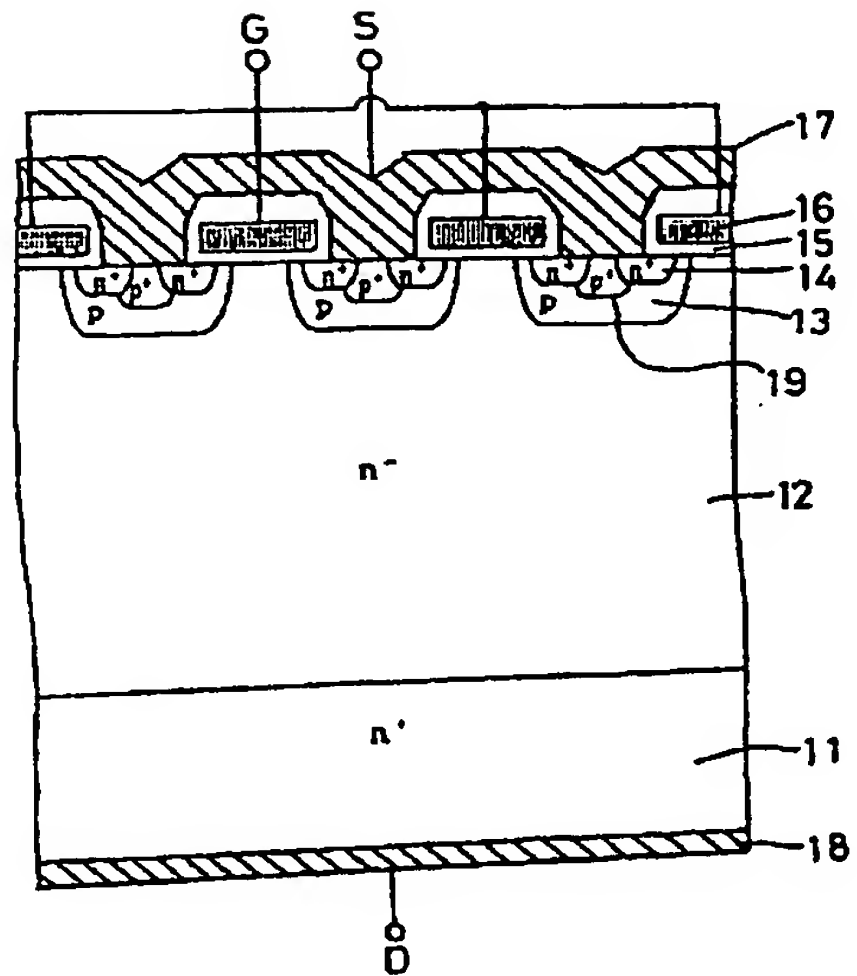
【図6】



【図4】

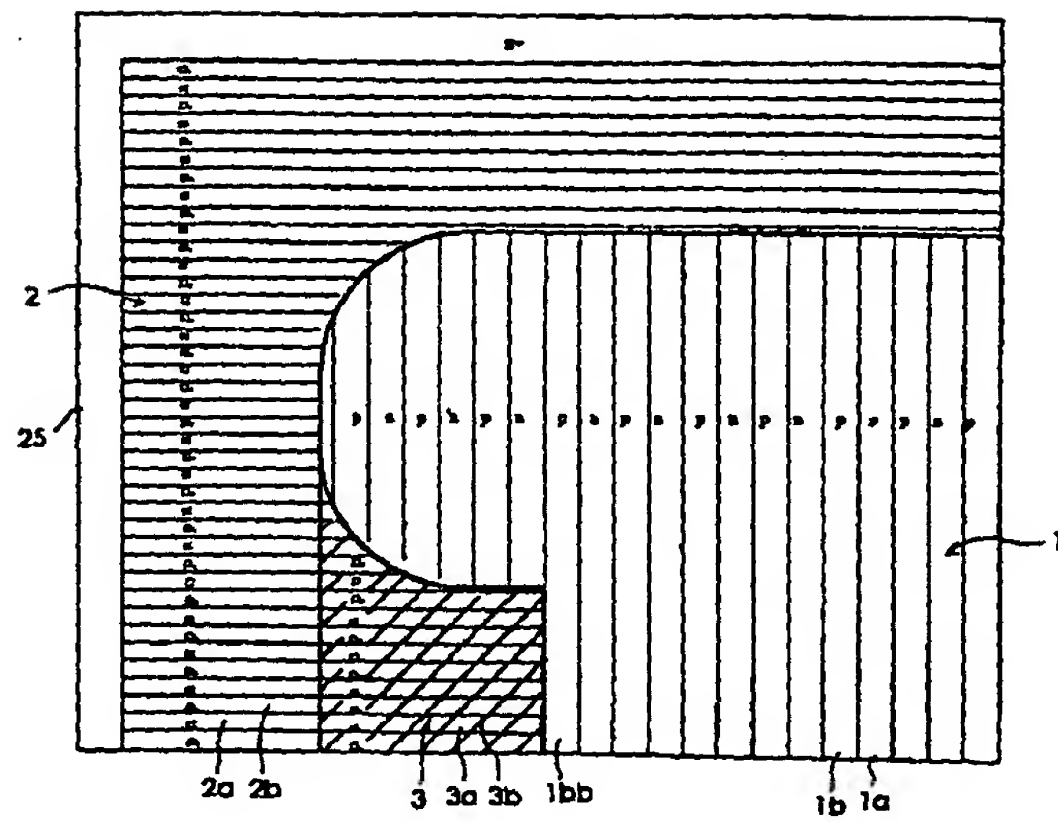


【図13】

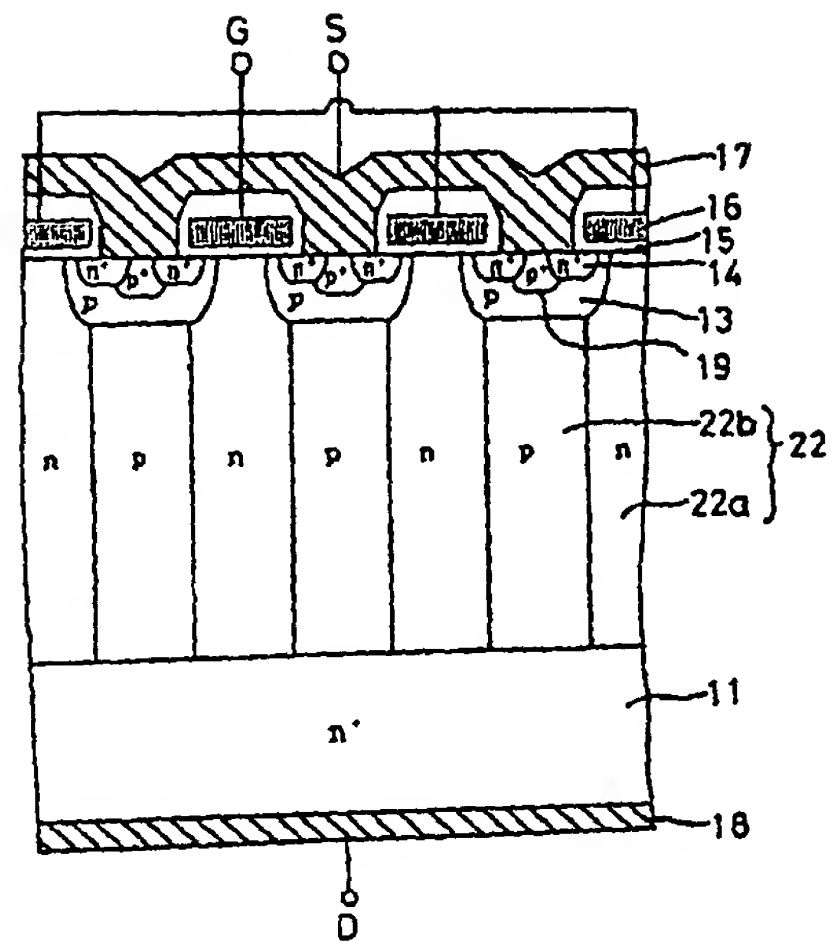




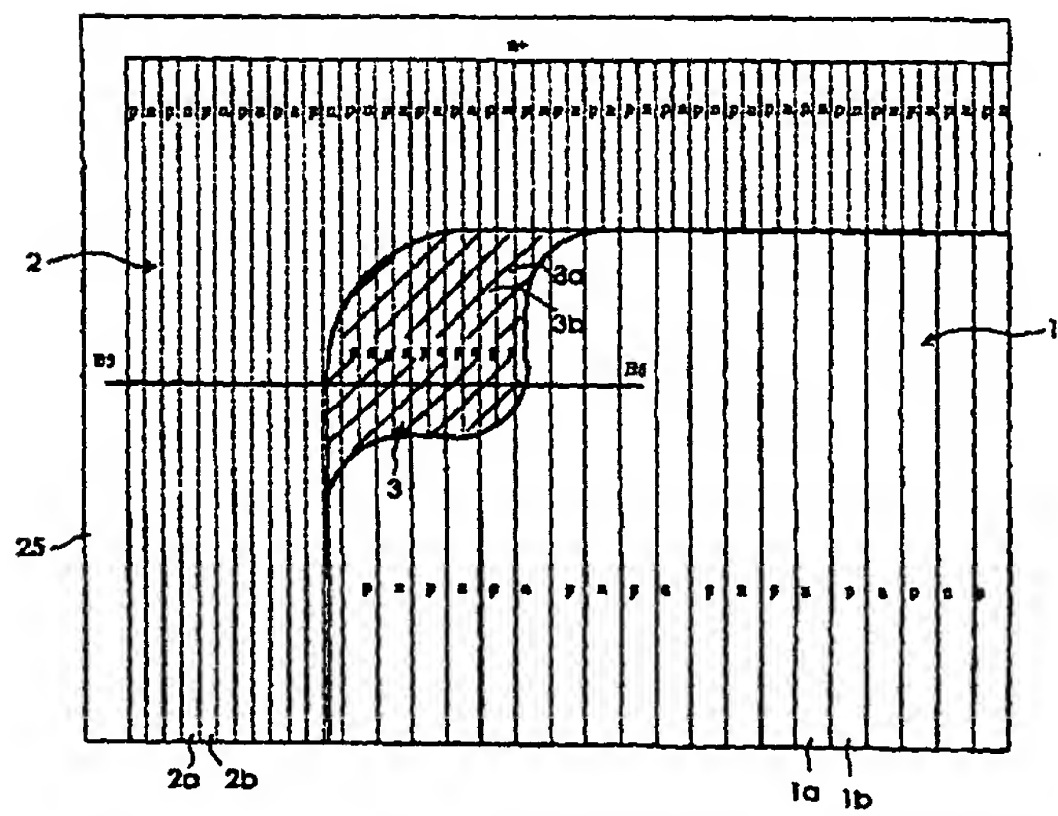
【図5】



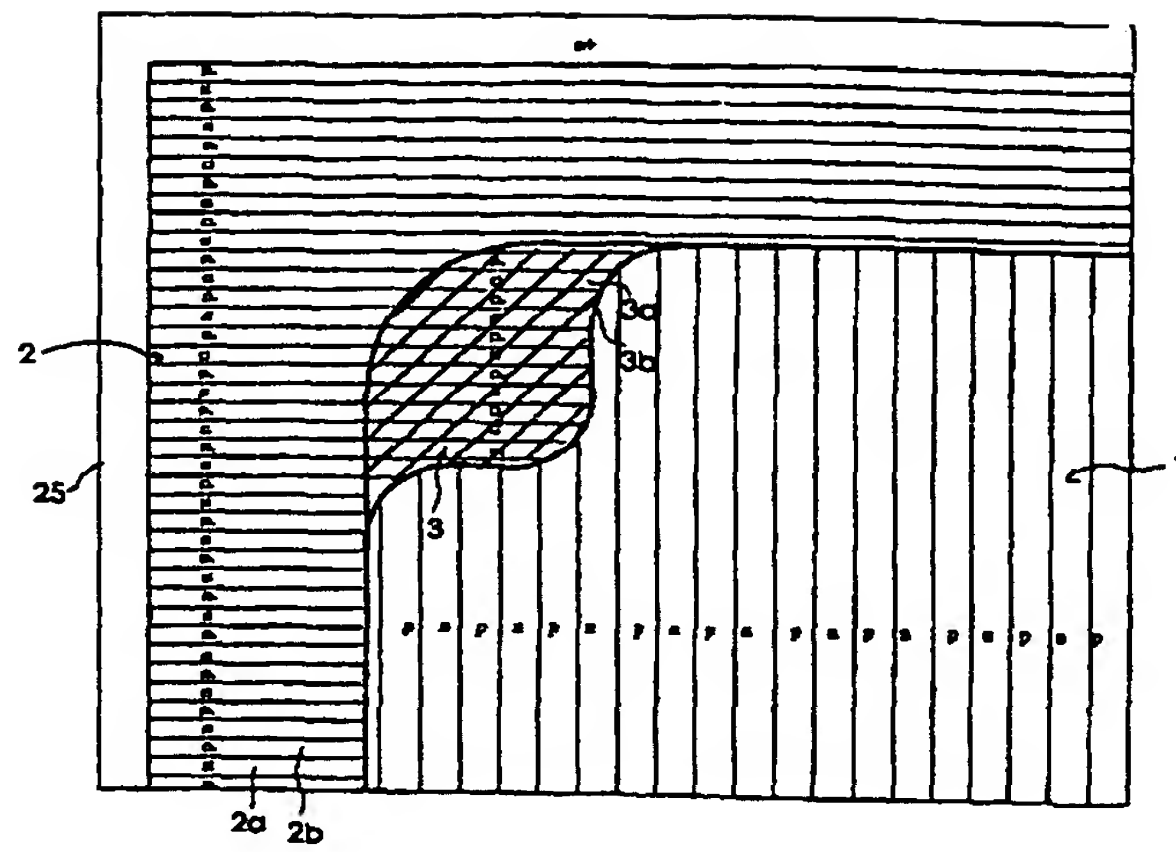
【図14】



【図7】



【図8】



【図10】

